

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 4 4 5 2 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 4 4 5 2 6]

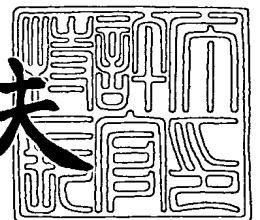
出 願 人 株 式 会 社 東 芝
Applicant(s):



2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 DTK03-015
【提出日】 平成15年10月 2日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 金子 尚史
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 岡崎 元哉
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 戸島 宏至
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社東芝
【代理人】
 【識別番号】 100077849
 【弁理士】
 【氏名又は名称】 須山 佐一
【手数料の表示】
 【予納台帳番号】 014395
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

それぞれ少なくとも 2 つの状態を有した複数の幾何学構造規定パラメータを、各幾何学構造規定パラメータで各状態が互いに同数出現するように組合せて、半導体集積回路の回路パターンを模擬した模擬回路パターンの集合体を設計する設計工程と、

基板に前記模擬回路パターンの集合体を形成する形成工程と、
形成された前記模擬回路パターンの集合体を評価する評価工程と、
を具備することを特徴とする模擬回路パターン評価方法。

【請求項 2】

前記形成工程は複数の前記基板に前記模擬回路パターンの集合体を前記基板毎に互いに異なるプロセス条件でそれぞれ形成する工程であり、前記評価工程は前記模擬回路パターンの集合体を前記基板毎に評価する工程であることを特徴とする請求項 1 記載の模擬回路パターン評価方法。

【請求項 3】

前記形成工程は前記基板に前記模擬回路パターンの集合体を所定のプロセス条件で形成する工程であり、前記評価工程は半導体集積回路の回路パターンの前記所定のプロセス条件に対する適合性を、前記模擬回路パターンの集合体に基づき評価する工程であることを特徴とする請求項 1 記載の模擬回路パターン評価方法。

【請求項 4】

前記幾何学構造規定パラメータは、配線の幾何学構造を規定するパラメータであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の模擬回路パターン評価方法。

【請求項 5】

前記配線の幾何学構造を規定するパラメータは、配線形成幅、配線形成長さ、ビアホール形成位置、ダミー配線群形成位置、配線群形成長さ、及びダミービアホール有無の少なくともいずれかを含んでいることを特徴とする請求項 4 記載の模擬回路パターン評価方法。

【請求項 6】

前記幾何学構造規定パラメータは、トランジスタの幾何学構造を規定するパラメータであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の模擬回路パターン評価方法。

【請求項 7】

前記トランジスタの幾何学構造を規定するパラメータは、アクティブエリアダミー密度、アクティブエリアダミーサイズ、アクティブエリアダミー形状、ゲート電極形成幅、ゲート電極形成長さ、コンタクトホール径、ミスアライメント程度、及びシャロートレンチアイソレーション形成幅の少なくともいずれかを含んでいることを特徴とする請求項 6 記載の模擬回路パターン評価方法。

【請求項 8】

それぞれ少なくとも 2 つの状態を有した複数の幾何学構造規定パラメータを、各幾何学構造規定パラメータで各状態が互いに同数出現するように組合せて、半導体集積回路の回路パターンを模擬した模擬回路パターンの集合体を設計する設計工程と、

複数の基板に前記模擬回路パターンの集合体を前記基板毎に互いに異なるプロセス条件でそれぞれ形成する形成工程と、

形成された前記模擬回路パターンの集合体を前記基板毎に評価し、前記模擬回路パターンの集合体に適合したプロセス条件を検出する検出工程と、

検出された前記プロセス条件により前記回路パターンを形成する形成工程と、
を具備することを特徴とする半導体集積回路の製造方法。

【請求項 9】

前記幾何学構造規定パラメータは、配線の幾何学構造を規定するパラメータであることを特徴とする請求項 8 記載の半導体集積回路の製造方法。

【請求項 10】

前記配線の幾何学構造を規定するパラメータは、配線形成幅、配線形成長さ、ビアホール形成位置、ダミー配線群形成位置、配線群形成長さ、及びダミービアホール有無の少なくともいずれかを含んでいることを特徴とする請求項 9 記載の半導体集積回路の製造方法。

【請求項 1 1】

前記幾何学構造規定パラメータは、トランジスタの幾何学構造を規定するパラメータであることを特徴とする請求項 8 記載の半導体集積回路の製造方法。

【請求項 1 2】

前記トランジスタの幾何学構造を規定するパラメータは、アクティブエリアダミー密度、アクティブエリアダミーサイズ、アクティブエリアダミー形状、ゲート電極形成幅、ゲート電極形成長さ、コンタクトホール径、ミスアライメント程度、及びシャロートレンチアイソレーション形成幅の少なくともいずれかを含んでいることを特徴とする請求項 1 1 記載の半導体集積回路の製造方法。

【請求項 1 3】

それぞれ少なくとも 2 つの状態を有した複数の幾何学構造規定パラメータを、各幾何学構造規定パラメータで前記各状態が互いに同数出現するように組合せて形成され、かつ半導体集積回路の回路パターンを模擬した模擬回路パターンの集合体を備えたことを特徴とするテスト基板。

【請求項 1 4】

前記幾何学構造規定パラメータは、配線の幾何学構造を規定するパラメータであることを特徴とする請求項 1 3 記載のテスト基板。

【請求項 1 5】

前記配線の幾何学構造を規定するパラメータは、配線形成幅、配線形成長さ、ビアホール形成位置、ダミー配線群形成位置、配線群形成長さ、及びダミービアホール有無の少なくともいずれかを含んでいることを特徴とする請求項 1 4 記載のテスト基板。

【請求項 1 6】

前記幾何学構造規定パラメータは、トランジスタの幾何学構造を規定するパラメータであることを特徴とする請求項 1 3 記載のテスト基板。

【請求項 1 7】

前記トランジスタの幾何学構造を規定するパラメータは、アクティブエリアダミー密度、アクティブエリアダミーサイズ、アクティブエリアダミー形状、ゲート電極形成幅、ゲート電極形成長さ、コンタクトホール径、ミスアライメント程度、及びシャロートレンチアイソレーション形成幅の少なくともいずれかを含んでいることを特徴とする請求項 1 6 記載のテスト基板。

【請求項 1 8】

請求項 1 3 乃至 1 7 のいずれか 1 項に記載の複数のテスト基板から構成され、前記模擬回路パターンの集合体が前記テスト基板毎に互いに異なるプロセスで形成されていることを特徴とするテスト基板群。

【書類名】明細書

【発明の名称】模擬回路パターン評価方法、半導体集積回路の製造方法、テスト基板、及びテスト基板群

【技術分野】

【0001】

本発明は、半導体集積回路の回路パターンを模擬した模擬回路パターンを評価する模擬回路パターン評価方法、模擬回路パターンを評価することにより半導体集積回路を製造する半導体集積回路の製造方法、模擬回路パターンの集合体を備えたテスト基板、複数のテスト基板から構成されたテスト基板群に関する。

【背景技術】

【0002】

従来から、半導体集積回路を製品化する前段階として、模擬回路パターン等を形成し、素子性能検査或いはプロセス条件の最適化等を行い、歩留まりの向上を図っている（例えば、特許文献1参照）。

【0003】

現在、配線形成プロセスにおけるプロセス条件の最適化においては、複数のテスト用の半導体ウェハ（以下、「テストウェハ」という。）に規則的な模擬配線パターンを異なるプロセス条件でそれぞれ形成し、これらの模擬配線パターンを評価することにより最適なプロセス条件を検出している。

【0004】

また、複数のテストウェハに基準状態を中心とした模擬配線パターンの集合体を異なるプロセス条件でそれぞれ形成し、これらの模擬配線パターンの集合体を評価することにより最適なプロセス条件を検出している。ここで、基準状態を中心とした模擬配線パターン集合体は、表1に示すように2つ或いは3つの状態を有したパラメータを複数組合せて形成されるが、基準状態の出現回数が最も多くなるように形成されるものである。なお、表1においては、「第1層配線形成幅」では「 $0.3\mu\text{m}$ 」、「第1層配線形成長さ」では「 $20\mu\text{m}$ 」、「第2層配線形成幅」では「 $0.3\mu\text{m}$ 」、「第2層配線形成長さ」では「 $20\mu\text{m}$ 」、「ビアホール形成位置」では「中央部」、「ビアホールミスアライメント」では「0」が基準状態である。

【表1】

模擬配線 パターン	第1層配線 形成幅	第1層配線 形成長さ	第2層配線 形成幅	第2層配線 形成長さ	ビアホール 形成位置	ビアホール ミスアライメント
No1	$0.3\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0
No2	$0.3\mu\text{m}$	$100\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0
No3	$0.3\mu\text{m}$	$200\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0
No4	$0.3\mu\text{m}$	$20\mu\text{m}$	$1.0\mu\text{m}$	$20\mu\text{m}$	中心部	0
No5	$0.3\mu\text{m}$	$20\mu\text{m}$	$5.0\mu\text{m}$	$20\mu\text{m}$	中心部	0
No6	$0.3\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$100\mu\text{m}$	中心部	0
No7	$0.3\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$200\mu\text{m}$	中心部	0
No8	$0.3\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	端部	0
No9	$0.3\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	端部	10
No10	$0.3\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	端部	30
No11	$1.0\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0
No12	$1.0\mu\text{m}$	$100\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0
No13	$1.0\mu\text{m}$	$200\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0
N 14	$1.0\mu\text{m}$	$20\mu\text{m}$	$1.0\mu\text{m}$	$20\mu\text{m}$	中心部	0
N 15	$1.0\mu\text{m}$	$20\mu\text{m}$	$5.0\mu\text{m}$	$20\mu\text{m}$	中心部	0
No16	$1.0\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$100\mu\text{m}$	中心部	0
N 17	$1.0\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$200\mu\text{m}$	中心部	0
N 18	$5.0\mu\text{m}$	$20\mu\text{m}$	$0.3\mu\text{m}$	$20\mu\text{m}$	中心部	0

【特許文献1】特開2001-44285号公報

出証特2003-3099838

【発明の開示】**【発明が解決しようとする課題】****【0005】**

しかしながら、上記のような手法で検出した最適なプロセス条件により実際の半導体集積回路を形成した場合であっても、歩留まりが有効に向上しないという問題がある。これは、実際製品化される半導体集積回路においては様々な形状の配線パターンが存在しているため、検出されたプロセス条件が一部の配線パターンには適合したとしても他の配線パターンには適合しないからであると考えられる。ここで、半導体集積回路に使用される全ての配線パターンを模擬した模擬配線パターンの集合体を形成することも考えられるが、全ての配線パターンを模擬した模擬配線パターンの集合体を形成すると、膨大な数となり、非現実的である。

【0006】

本発明は、上記課題を解決するためになされたものである。即ち、本発明は、少ない模擬回路パターンで多数の模擬回路パターンの評価を行うことができる模擬回路パターン評価方法、テスト基板、及びテスト基板群を提供することを目的とする。また、半導体集積回路の歩留まりを向上させることができる半導体集積回路の製造方法を提供することを目的とする。

【課題を解決するための手段】**【0007】**

本発明の一の態様によれば、それぞれ少なくとも2つの状態を有した複数の幾何学構造規定パラメータを、各幾何学構造規定パラメータで各状態が互いに同数出現するように組合せて、半導体集積回路の回路パターンを模擬した模擬回路パターンの集合体を設計する設計工程と、基板に前記模擬回路パターンの集合体を形成する形成工程と、形成された前記模擬回路パターンの集合体を評価する評価工程と、を具備することを特徴とする模擬回路パターン評価方法が提供される。

【0008】

本発明の他の態様によれば、それぞれ少なくとも2つの状態を有した複数の幾何学構造規定パラメータを、各幾何学構造規定パラメータで各状態が互いに同数出現するように組合せて、半導体集積回路の回路パターンを模擬した模擬回路パターンの集合体を設計する設計工程と、複数の基板に前記模擬回路パターンの集合体を前記基板毎に互いに異なるプロセス条件でそれぞれ形成する形成工程と、形成された前記模擬回路パターンの集合体を前記基板毎に評価し、前記模擬回路パターンの集合体に適合したプロセス条件を検出する検出工程と、検出された前記プロセス条件により前記回路パターンを形成する形成工程と、を具備することを特徴とする半導体集積回路の製造方法が提供される。

【0009】

本発明の他の態様によれば、それぞれ少なくとも2つの状態を有した複数の幾何学構造規定パラメータを、各幾何学構造規定パラメータで前記各状態が互いに同数出現するように組合せて形成され、かつ半導体集積回路の回路パターンを模擬した模擬回路パターンの集合体を備えたことを特徴とするテスト基板が提供される。

【0010】

本発明の他の態様によれば、複数の上記テスト基板から構成され、前記模擬回路パターンの集合体が前記テスト基板毎に互いに異なるプロセスで形成されていることを特徴とするテスト基板群が提供される。

【発明の効果】**【0011】**

模擬回路パターン評価方法、テスト基板、及びテスト基板群によれば、少ない模擬回路パターンで多数の模擬回路パターンの評価を行うことができる。本発明の半導体集積回路の製造方法によれば、半導体集積回路の歩留まりを向上させることができる。

【発明を実施するための最良の形態】**【0012】**

(第1の実施の形態)

以下、第1の実施の形態について説明する。図1は本実施の形態に係る半導体集積回路の配線形成プロセスの流れを示したフローチャートである。

【0013】

まず、半導体集積回路の配線パターンを模擬した模擬配線パターンの集合体（以下、「模擬配線パターン集合体」という。）を設計する（ステップ1）。

【0014】

模擬配線パターン集合体は、配線形成プロセスにおける幾何学構造を規定する複数のパラメータを組合せることにより設計される。表2は複数のパラメータを組み合わせたものを表したものである。

【表2】

模擬配線パターン	第1層配線形成幅	第1層配線形成長さ	第2層配線形成幅	第2層配線形成長さ	ビアホール形成位置	ダミー配線群形成位置	第3層配線群形成長さ	ダミービアホール有無
No1	0.3 μ m	20 μ m	0.3 μ m	20 μ m	中央部・中央部	両側・両側	10 μ m	有
No2	1.0 μ m	100 μ m	1.0 μ m	100 μ m	側部・中央部	両側・両側	50 μ m	有
No3	5.0 μ m	200 μ m	5.0 μ m	200 μ m	側部・側部	両側・両側	100 μ m	有
No4	0.3 μ m	20 μ m	1.0 μ m	100 μ m	側部・側部	両側・片側	100 μ m	有
No5	1.0 μ m	100 μ m	5.0 μ m	200 μ m	中央部・中央部	両側・片側	10 μ m	有
No6	5.0 μ m	200 μ m	0.3 μ m	20 μ m	側部・中央部	両側・片側	50 μ m	有
No7	0.3 μ m	100 μ m	0.3 μ m	200 μ m	側部・中央部	片側・片側	100 μ m	有
No8	1.0 μ m	200 μ m	1.0 μ m	20 μ m	側部・側部	片側・片側	10 μ m	有
No9	5.0 μ m	20 μ m	5.0 μ m	100 μ m	中央部・中央部	片側・片側	50 μ m	有
No10	0.3 μ m	200 μ m	5.0 μ m	100 μ m	側部・中央部	両側・両側	10 μ m	無
No11	1.0 μ m	20 μ m	0.3 μ m	200 μ m	側部・側部	両側・両側	50 μ m	無
No12	5.0 μ m	100 μ m	1.0 μ m	20 μ m	中央部・中央部	両側・両側	100 μ m	無
No13	0.3 μ m	100 μ m	5.0 μ m	20 μ m	側部・側部	両側・片側	50 μ m	無
No14	1.0 μ m	200 μ m	0.3 μ m	100 μ m	中央部・中央部	両側・片側	100 μ m	無
No15	5.0 μ m	20 μ m	1.0 μ m	200 μ m	側部・中央部	両側・片側	10 μ m	無
No16	0.3 μ m	200 μ m	1.0 μ m	200 μ m	中央部・中央部	片側・片側	50 μ m	無
No17	1.0 μ m	20 μ m	5.0 μ m	20 μ m	側部・中央部	片側・片側	100 μ m	無
No18	5.0 μ m	100 μ m	0.3 μ m	100 μ m	側部・側部	片側・片側	10 μ m	無

【0015】

表2に示されるように本実施の形態では、8つのパラメータを使用して模擬配線パターンNo1～No18から構成される模擬配線パターン集合体を形成する。パラメータとしては、「第1層配線形成幅」、「第1層配線形成長さ」、「第2層配線形成幅」、「第2層配線形成長さ」、「ビアホール形成位置」、「ダミー配線群形成位置」、「第3層配線群形成長さ」、及び「ダミービアホール有無」が用いられている。

【0016】

「第1層配線形成幅」及び「第2層配線形成幅」は、第1層配線及び第2層配線の形成幅をそれぞれ表すのものであり、「第1層配線形成長さ」及び「第2層配線形成長さ」は、第1層配線及び第2層配線の形成長さをそれぞれ表すものである。なお、第2層配線は、第1層配線の上方に位置するように設計されている。

【0017】

「ビアホール形成位置」は、第1層配線と第2層配線とを接続するビアホールの形成位置を表すものであり、「ダミー配線群形成位置」は、第1層ダミー配線群及び第2層ダミー配線群の形成位置を表すものである。第1層ダミー配線群は第1層配線に沿って形成される第1層ダミー配線の集合体であり、第2層ダミー配線群は第2層配線に沿って形成される第2層ダミー配線の集合体である。第1層ダミー配線群は第1層配線と同じ高さに形成され、第2層ダミー配線群は第2層配線と同じ高さに形成されるように設計されている。なお、第1層ダミー配線群と第2層ダミー配線群とは、互いに重なるように設計されている。

【0018】

「第3層配線群形成長さ」は、第3層配線の集合体であり、かつ正形状に形成される第3層配線群の一辺の長さを表すものであり、「ダミービアホール有無」は、第1層ダミー配線と第2層ダミー配線とを接続するダミービアホールが存在するか否かを表すものである。第3層配線群は、第2層配線の上方に位置するように設計されている。

【0019】

各パラメータは、少なくとも2つの状態を有している。「第1層配線形成幅」及び「第2層配線形成幅」は、それぞれ「 $0.3\mu\text{m}$ 」, 「 $1.0\mu\text{m}$ 」, 「 $5.0\mu\text{m}$ 」の3つの状態を有しており、「第1層配線形成長さ」及び「第2層配線形成長さ」は、それぞれ「 $20\mu\text{m}$ 」, 「 $100\mu\text{m}$ 」, 「 $200\mu\text{m}$ 」の3つの状態を有している。

【0020】

「ビアホール形成位置」は、ビアホールを第1層配線の中心部に、かつ第2層配線の中心部に形成することを表す「中心部・中心部」、ビアホールを第1層配線の側部に、かつ第2層配線の中心部に形成することを表す「側部・中心部」、ビアホールを第1層配線の側部に、かつ第2層配線の側部に形成することを表す「側部・側部」の3つの状態を有している。

【0021】

「ダミー配線群形成位置」は、第1層ダミー配線群を第1層配線の両側に形成し、かつ第2層ダミー配線を第2層配線の両側に形成することを表す「両側・両側」、第1層ダミー配線群を第1層配線の両側に形成し、かつ第2層ダミー配線群を第2層配線の片側に形成することを表す「両側・片側」、第1層ダミー配線群を第1層配線の片側に形成し、第2層ダミー配線群を第2層配線の片側に形成することを表す「片側・片側」の3つの状態を有している。

【0022】

「第3層配線群形成長さ」は、「 $10\mu\text{m}$ 」, 「 $50\mu\text{m}$ 」, 「 $100\mu\text{m}$ 」の3つの状態を有している。「ダミービアホール有無」は、ダミービアホールを形成することを表す「有」、ダミーホールが形成しないことを表す「無」の2つの状態を有している。

【0023】

各パラメータにおいて各状態は互いに同数出現している。例えば、「第1層配線形成幅」においては、「 $0.3\mu\text{m}$ 」, 「 $1.0\mu\text{m}$ 」, 「 $5.0\mu\text{m}$ 」という状態がそれぞれ6つずつ出現しており、「第1層配線形成長さ」においては、「 $20\mu\text{m}$ 」, 「 $100\mu\text{m}$ 」, 「 $200\mu\text{m}$ 」という状態がそれぞれ6つずつ出現している。その他、「第2層配線形成幅」、「第2層配線形成長さ」、「ビアホール形成位置」、「ダミー配線群形成位置」、「第3層配線群形成長さ」、及び「ダミービアホール有無」もそれぞれ同様となっている。なお、「ダミービアホール有無」の場合には、「有」、「無」という状態がそれぞれ9つずつ出現している。

【0024】

次に、設計された模擬配線パターン集合体をテストウェハ（テスト基板）上に形成する（ステップ2）。図2は本実施の形態に係る模擬配線パターン形成プロセスの流れを示したフローチャートであり、図3～図8は本実施の形態に係る模擬配線パターンNo.6を形成しているときの状態を表した模式的なプロセス図であり、図9は本実施の形態に係る模擬配線パターンNo.1～No.18の模式的な平面図である。

【0025】

模擬配線パターン集合体を形成する際には、複数枚のテストウェハ（テスト基板群）を用意しておき、テストウェハ毎にプロセス条件を異ならせてそれぞれのテストウェハに模擬配線パターン集合体を形成する。なお、1枚のテストウェハには40個のチップが形成され、1個のチップには80個の模擬配線パターン集合体が形成される。

【0026】

図3(a)に示されるように、テストウェハW上に、例えば化学気相成長法（Chemical Vapor Deposition: CVD）或いは塗布法により第1層層間絶縁膜1を形成する（ステップ201）。第1層層間絶縁膜1は、例えば低誘電率絶縁物

から構成されている。このような低誘電率絶縁物としては、例えば、SiOC、SiOF、多孔質シリカ、或いはPAE (polyarylether) 等が挙げられる。

【0027】

第1層層間絶縁膜1を形成した後、図3(b)に示されるように、フォトリソグラフィ技術により第1層層間絶縁膜1に配線溝1a、ダミー配線溝群1b、引出線溝1c、及び電極パッド溝1dを形成する(ステップ202)。配線溝1a等を形成するには、まず、テストウェハWを回転させながら第1層層間絶縁膜1上に化学増幅型のフォトレジストを塗布する。フォトレジストを塗布した後、所定のパターンが形成されたマスクを使用して、i線のような紫外線或いはKrF及びArFのような遠紫外線で露光する。その後、現像液により現像して、第1層層間絶縁膜1上にレジストパターンを形成する。第1層層間絶縁膜1上にレジストパターンを形成した後、レジストパターンをマスクとして、CF₄或いはCHF₃のようなCF系のガスにより第1層層間絶縁膜1をドライエッチングし、第1層層間絶縁膜1に配線溝1a等を形成する。第1層層間絶縁膜1に配線溝1a等を形成した後、アッシングによりレジストパターンを取り除く。

【0028】

配線溝1aと電極パッド溝1dは、引出線溝1cを介して繋がるように形成される。このプロセスにより、模擬配線パターンNo6では、幅が約5.0μm及び長さが約200μmの配線溝1aが形成され、配線溝1aの両側にダミー配線溝群1bが形成される。

【0029】

第1層層間絶縁膜1に配線溝1a等を形成した後、第1層層間絶縁膜1上に、例えばスパッタリング或いはCVDにより第1層層間絶縁膜1への金属の拡散を抑制するためのバリアメタル膜(図示せず)を形成する。バリアメタル膜は、導電性材料から構成されている。このような導電性材料は、後述する第1層配線2a等を構成している金属より拡散係数が小さい金属或いは金属窒化物等から構成されている。このような金属としては例えばTa、Ti等が挙げられ、また金属窒化物としては例えばTiN、Ta₂N、TiSiN、或いはWN等が挙げられる。なお、これらの物質を積層したものからバリアメタル膜を形成してもよい。

【0030】

第1層層間絶縁膜1上にバリアメタル膜を形成した後、バリアメタル膜上に、例えばスパッタリングにより電解メッキ時に電流を流すためのシード膜(図示せず)を形成する。シード膜は、金属から構成されている。金属としては、例えば、Cu等が挙げられる。

【0031】

バリアメタル膜上にシード膜を形成した後、図4(a)に示されるように、テストウェハW上にめっき液を供給して、シード膜上に電解めっき法によりめっき膜2を形成する(ステップ203)。ここで、シード膜は配線溝1a等内にも形成されているので、めっき膜2は配線溝1a等内にも形成される。めっき膜2は、金属から構成されている。金属としては、Cu等が挙げられる。なお、無電解めっき法によりめっき膜2を形成してもよい。

【0032】

めっき膜2を形成した後、図4(b)に示されるように、例えば化学的機械的研磨(Chemical Mechanical Polishing: CMP)により第1層層間絶縁膜1上に存在する余分なめっき膜2及びバリアメタル膜を除去して、第1層配線2a、第1層ダミー配線群2b、第1層引出線2c、第1層電極パッド2d等を形成する(ステップ204)。具体的には、テストウェハWを研磨パッド(図示せず)に接触させた状態で、テストウェハW及び研磨パッドを回転させるとともにテストウェハW上にスラリー(図示せず)を供給して、めっき膜2及びバリアメタル膜を研磨する。

【0033】

このプロセスにより、模擬配線パターンNo6では、幅が約5.0μm及び長さが約200μmの第1層配線2aが形成されるとともに、第1層配線2aの両側に第1層ダミー配線群2bが形成される。なお、CMPで研磨する場合に限らず、その他の手法で研磨し

てもよい。その他の手法としては、例えば電解研磨が挙げられる。

【0034】

めっき膜2等を除去して、第1層配線2a等を形成した後、図5(a)に示されるように、第1層層間絶縁膜1上に、例えば化学気相成長法或いは塗布法により第2層層間絶縁膜3を形成する(ステップ205)。

【0035】

第2層層間絶縁膜3を形成した後、図5(b)に示されるように、フォトリソグラフィ技術により第2層層間絶縁膜3に配線溝3a、ダミー配線溝群3b、引出線溝3c、電極パッド溝3d、3e、ビアホール3f、ダミービアホール3g、及びコンタクトホール3hを形成する(ステップ206)。

【0036】

配線溝3aと電極パッド溝3eは、引出線溝3cを介して繋がるように形成される。配線溝3aは第1層配線2aに対して立体的に交差するように形成され、ダミー配線溝群3bは第1層ダミー配線群2bに重なるように形成される。コンタクトホール3hは、第1層電極パッド2dと後述する第2層電極パッド4dとを接続するためのものである。

【0037】

このプロセスにより、模擬配線パターンNo6では、幅が約 $0.3\mu\text{m}$ 及び長さが約 $20\mu\text{m}$ の配線溝3aが形成されるとともに、配線溝3aの片側にダミー配線溝群3bが形成される。また、第1層配線2aの側部に、かつ配線溝3aの中央部にビアホール3fが形成されるとともに、ダミービアホール3gが形成される。

【0038】

第2層層間絶縁膜3に配線溝3a等を形成した後、第2層層間絶縁膜3上に、例えばスパッタリング或いはCVDにより第2層層間絶縁膜3への金属の拡散を抑制するためのバリアメタル膜(図示せず)を形成する。

【0039】

第2層層間絶縁膜3上にバリアメタル膜を形成した後、バリアメタル膜上に、例えばスパッタリングにより電解メッキ時に電流を流すためのシード膜(図示せず)を形成する。バリアメタル膜上にシード膜を形成した後、図6(a)に示されるように、テストウェハW上にめっき液を供給して、シード膜上に電解めっき法によりめっき膜4を形成する(ステップ207)。ここで、シード膜は配線溝3a等内にも形成されているので、めっき膜4は配線溝3a等内にも形成される。

【0040】

めっき膜4を形成した後、図6(b)に示されるように、例えば化学的機械的研磨により研磨して、第2層層間絶縁膜3上に存在する余分なめっき膜4及びバリアメタル膜を除去して、第2層配線4a、第2層ダミー配線群4b、第2層引出線4c、第2層電極パッド4d、4e等を形成する(ステップ208)。

【0041】

このプロセスにより、模擬配線パターンNo6では、幅が約 $0.3\mu\text{m}$ 及び長さが約 $20\mu\text{m}$ の第2層配線4aが形成されるとともに、第2層配線4aの片側に第2層ダミー配線群4bが形成される。

【0042】

第2層配線4a等を形成した後、図7(a)に示されるように、第2層層間絶縁膜3上に、例えば化学気相成長法或いは塗布法により第3層層間絶縁膜5を形成する(ステップ209)。

【0043】

第3層層間絶縁膜5を形成した後、図7(b)に示されるように、フォトリソグラフィ技術により第3層層間絶縁膜5に配線溝群5a、電極パッド溝5b、5c、及びコンタクトホール5d、5eを形成する(ステップ210)。

【0044】

配線溝群5aは、第1層配線2aと第2層配線4aの立体的に交差している箇所の真上

に、かつ全体として正形状となるように形成される。コンタクトホール 5 d は、第 2 層電極パッド 4 d と後述する第 3 層電極パッド 6 b とを接続するためのものであり、コンタクトホール 5 e は、第 2 層電極パッド 4 e と後述する第 3 層電極パッド 6 c とを接続するためのものである。このプロセスにより、模擬配線パターン No 6 では、一辺の長さが $50\ \mu\text{m}$ となるような正形状の配線溝群 5 a が形成される。

【0045】

第 3 層層間絶縁膜 5 に配線溝群 5 a 等を形成した後、第 3 層層間絶縁膜 5 上に、例えばスパッタリング或いは CVD により第 3 層層間絶縁膜 5 への金属の拡散を抑制するためのバリアメタル膜（図示せず）を形成する。

【0046】

第 3 層層間絶縁膜 5 上にバリアメタル膜を形成した後、バリアメタル膜上に、例えばスパッタリングにより電解めっき時に電流を流すためのシード膜（図示せず）を形成する。

【0047】

バリアメタル膜上にシード膜を形成した後、図 8 (a) に示されるように、テストウェハ W 上にめっき液を供給して、シード膜上に電解めっき法によりめっき膜 6 を形成する（ステップ 211）。

【0048】

めっき膜 6 を形成した後、図 8 (b) に示されるように、例えば化学的機械的研磨により研磨して、第 3 層層間絶縁膜 5 上に存在する余分なめっき膜 6 及びバリアメタル膜を除去して、第 3 層配線群 6 a、第 3 層電極パッド 6 b、6 c 等を形成する（ステップ 212）。このプロセスにより、模擬配線パターン No 6 では、一辺の長さが $50\ \mu\text{m}$ となるような正形状の第 3 層配線群 6 a が形成される。形成された模擬配線パターン No 1 ~ No 18 は、図 9 に示されるような状態となっている。

【0049】

次に、形成された模擬配線パターン集合体をテストウェハ W 毎に評価して、模擬配線パターン No 1 ~ No 18 の全てに最も適合したプロセス条件を検出する（ステップ 3）。具体的には、模擬配線パターン No 1 ~ No 18 の各第 3 層電極パッド 6 b、6 c にプローブ（図示せず）を接触させて、第 1 層配線 2 a 及び第 2 層配線 4 a に電流を流し、そのときのビア抵抗を測定する。そして、測定されたビア抵抗に基づいてテストウェハ W 毎に統計解析して、模擬配線パターン No 1 ~ No 18 の全てに対して最も適合したプロセス条件を検出する。

【0050】

最後に、検出されたプロセス条件により半導体集積回路の配線パターンを形成する（ステップ 4）。これにより図 1 に示された半導体集積回路の配線形成プロセスが終了する。

【0051】

本実施の形態によれば、少ない模擬回路パターンで多数の模擬回路パターンの評価を行うことができる。即ち、パラメータを全て組合せると、4374 個の模擬配線パターンが存在することになる。これに対し、本実施の形態では、各パラメータにおいて各状態を同数出現させ、直交した状態を作り出しているため、模擬配線パターン No 1 ~ No 18 の 18 個の模擬配線パターンを形成し、評価するだけで、パラメータを全て組合せることにより得られる模擬配線パターンの評価結果とほぼ同様の評価結果を得ることができる。それ故、少ない模擬配線パターンで多数の模擬配線パターンの評価を行うことができる。

【0052】

本実施の形態によれば、半導体集積回路の歩留まりを向上させることができる。即ち、上述したように模擬配線パターン No 1 ~ No 18 を評価することにより、パラメータを全て組合せることにより得られる多数の模擬配線パターンの評価結果とほぼ同様の評価結果を得ることができるので、模擬配線パターン No 1 ~ No 18 に適合したプロセス条件は、パラメータを全て組合せることにより得られる多数の模擬配線パターンにも適合する。本実施の形態では、模擬配線パターン No 1 ~ No 18 に適合したプロセス条件により、配線パターンを形成しているため、半導体集積回路の歩留まりを向上させることができ

る。

(実施例)

【0053】

以下、実施例について説明する。本実施例では、第1の実施の形態と同様の手法を用いてプロセス条件を検出し、その検出されたプロセス条件により半導体集積回路を製造したときの初期歩留まりを調べた。また、その後同様の手法によりプロセス条件を修正し、その修正されたプロセス条件により半導体集積回路を製造したときの歩留まりも調べた。なお、本実施例と比較するために比較例として、従来の基準状態を中心とした手法を用いてプロセス条件を検出し、その検出されたプロセス条件により半導体集積回路を製造したときの初期歩留まりを調べた。また、その後同様の手法によりプロセス条件を修正し、その修正されたプロセス条件により半導体集積回路を製造したときの歩留まりも調べた。

【0054】

以下、結果について述べる。図10は実施例に係る歩留まりと時間の関係を表したグラフである。図10に示されるように、本実施例における初期歩留まりは、比較例における初期歩留まりよりも高かった。この結果から、本実施例の手法により検出されたプロセス条件が様々な形状の回路パターンに適合していることが確認された。また、本実施例における歩留まりの向上率も比較例における歩留まり向上率よりも高かった。この結果から、本実施例の手法はプロセス条件を修正する場合にも有効であることが確認された。

(第2の実施の形態)

【0055】

以下、第2の実施の形態について説明する。本実施の形態では、上記第1の実施の形態で説明したプロセス条件検出方法をトランジスタ形成プロセスに適用した例について説明する。

【0056】

まず、半導体集積回路のトランジスタパターンを模擬した模擬トランジスタパターンの集合体（以下、「模擬トランジスタパターン集合体」という。）を設計する。各模擬トランジスタパターンは、トランジスタ形成プロセスにおける幾何学構造を規定する複数のパラメータを組合せることにより設計される。表3は複数のパラメータを組み合わせたものを表したものである。

【表3】

模擬トランジスタ パターン	AAダミー 密度	AAダミー サイズ	AAダミー 形状	ゲート電極 形成幅	ゲート電極 形成長さ	コンタクト ホール直径	ミスアライメ ント程度	STI 形成幅
No1	40%	1.0 μ m	島状	0.12 μ m	0.3 μ m	0.10 μ m	大	0.1 μ m
No2	40%	1.0 μ m	T字状	0.15 μ m	0.5 μ m	0.11 μ m	中	0.2 μ m
No3	40%	1.0 μ m	L字状	0.20 μ m	1.0 μ m	0.12 μ m	小	0.3 μ m
No4	40%	2.0 μ m	島状	0.15 μ m	0.3 μ m	0.11 μ m	小	0.3 μ m
No5	40%	2.0 μ m	T字状	0.20 μ m	0.5 μ m	0.12 μ m	大	0.1 μ m
No6	40%	2.0 μ m	L字状	0.12 μ m	1.0 μ m	0.10 μ m	中	0.2 μ m
No7	40%	5.0 μ m	島状	0.12 μ m	0.5 μ m	0.12 μ m	中	0.3 μ m
No8	40%	5.0 μ m	T字状	0.15 μ m	1.0 μ m	0.10 μ m	小	0.1 μ m
No9	40%	5.0 μ m	L字状	0.20 μ m	0.3 μ m	0.11 μ m	大	0.2 μ m
No10	80%	1.0 μ m	島状	0.20 μ m	1.0 μ m	0.11 μ m	中	0.1 μ m
No11	80%	1.0 μ m	T字状	0.12 μ m	0.3 μ m	0.12 μ m	小	0.2 μ m
No12	80%	1.0 μ m	L字状	0.15 μ m	0.5 μ m	0.10 μ m	大	0.3 μ m
No13	80%	2.0 μ m	島状	0.20 μ m	0.5 μ m	0.10 μ m	小	0.2 μ m
No14	80%	2.0 μ m	T字状	0.12 μ m	1.0 μ m	0.11 μ m	大	0.3 μ m
No15	80%	2.0 μ m	L字状	0.15 μ m	0.3 μ m	0.12 μ m	中	0.1 μ m
No16	80%	5.0 μ m	島状	0.15 μ m	1.0 μ m	0.12 μ m	大	0.2 μ m
No17	80%	5.0 μ m	T字状	0.20 μ m	0.3 μ m	0.10 μ m	中	0.3 μ m
No18	80%	5.0 μ m	L字状	0.12 μ m	0.5 μ m	0.11 μ m	小	0.1 μ m

【0057】

表3に示されるように本実施の形態では、8つのパラメータを使用して模擬トランジスタパターンNo1～No18から構成される模擬トランジスタパターン集合体を形成する

。パラメータとしては、「アクティブエリアダミー密度 (AAダミー密度)」、「アクティブエリアダミーサイズ (AAダミーサイズ)」、「アクティブエリアダミー形状 (AAダミー形状)」、「ゲート電極形成幅」、「ゲート電極形成長さ」、「コンタクトホール直径」、「ミスアライメント程度」、及び「シャロートレンチアイソレーション形成幅 (STI形成幅)」が用いられている。

【0058】

各パラメータは、少なくとも2つの状態を有している。「アクティブエリアダミー密度」は「40%」、「80%」の2つの状態を有しており、「アクティブエリアダミーサイズ」は「1.0 μm 」、「2.0 μm 」、「5.0 μm 」の3つの状態を有している。「アクティブエリアダミー形状」は「島状」、「T字状」、「L字状」の3つの状態を有している。

【0059】

「ゲート電極形成幅」は「0.12 μm 」、「0.15 μm 」、「0.20 μm 」の3つの状態を有しており、「ゲート電極形成長さ」は「0.3 μm 」、「0.5 μm 」、「1.0 μm 」の3つの状態を有している。

【0060】

「コンタクトホール直径」は「0.10 μm 」、「0.11 μm 」、「0.12 μm 」の3つの状態を有しており、「ミスアライメント程度」は「大」、「中」、「小」の3つの状態を有している。「シャロートレンチアイソレーション形成幅」は「0.1 μm 」、「0.2 μm 」、「0.3 μm 」の3つの状態を有している。

【0061】

各パラメータにおいて各状態は同数出現している。例えば、「アクティブエリアダミー密度」においては、「40%」、「80%」という状態がそれぞれ9つずつ出現しており、「アクティブエリアダミーサイズ」においては、「1.0 μm 」、「2.0 μm 」、「5.0 μm 」という状態がそれぞれ6つずつ出現している。その他、「アクティブエリアダミー形状」、「ゲート電極形成幅」、「ゲート電極形成長さ」、「コンタクトホール直径」、「ミスアライメント程度」、及び「シャロートレンチアイソレーション形成幅」もそれぞれ同様となっている。

【0062】

次に、設計された模擬トランジスタパターン集合体をテストウェハ上に形成する。このような模擬トランジスタパターン集合体を形成する際には、複数枚のテストウェハを用意しておき、テストウェハ毎にプロセス条件を異ならせてそれぞれのテストウェハに模擬トランジスタパターン集合体を形成する。

【0063】

その後、形成された模擬トランジスタパターン集合体をテストウェハ毎に評価して、模擬トランジスタパターンNo.1～No.18の全てに最も適合したプロセス条件を検出する。最後に、検出されたプロセス条件により半導体集積回路のトランジスタパターンを形成する。

(第3の実施の形態)

【0064】

以下、第3の実施の形態について説明する。本実施の形態では、各パラメータにおいて所定のプロセス条件に適合していない状態をそれぞれ検出し、それらの適合していない状態が出現しないような配線パターンを形成する例について説明する。

【0065】

まず、上記第1の実施の形態と同様の模擬配線パターン集合体を設計する。次に、設計された模擬配線パターン集合体をテストウェハW上に形成する。ここで、本実施の形態では、所定のプロセス条件で1枚のテストウェハWに模擬配線パターン集合体を形成する。

【0066】

その後、形成された模擬配線パターン集合体を模擬配線パターン毎に評価して、各パラメータにおいて適合していない状態をそれぞれ検出する。具体的には、第1の実施の形態

と同様に模擬配線パターン No 1 ~ No 18 の各第 3 層電極パッド 6 b, 6 c にプローブ (図示せず) を接触させて、第 1 層配線 2 a 及び第 2 層配線 4 a に電流を流し、そのときのビア抵抗を測定する。そして、測定されたビア抵抗に基づいて模擬配線パターン毎に統計解析して、各パラメータにおいて所定のプロセス条件に適合していない状態をそれぞれ検出する。

【0067】

最後に、検出された所定のプロセス条件に適合していない状態が出現しないような配線パターンを設計し、設計された配線パターンを所定のプロセス条件で形成する。

【0068】

なお、本発明は上記実施の形態の記載内容に限定されるものではなく、構造や材質、各部材の配置等は、本発明の要旨を逸脱しない範囲で適宜変更可能である。例えば、上記第 1 の実施の形態では本発明のプロセス条件検出方法を配線形成プロセスに適用し、上記第 2 の実施の形態では本発明のプロセス条件検出方法をトランジスタ形成プロセスに適用しているが、半導体集積回路の製造プロセスであれば、その他のプロセスに適用してもよい。

【0069】

上記第 1 の実施の形態では 8 つのパラメータを用いて模擬配線パターンを設計し、第 2 の実施の形態では 8 つのパラメータを用いて模擬トランジスタパターンを設計しているが、パラメータ数は 8 つに限定されない。

【0070】

上記第 1 及び第 3 の実施の形態では模擬配線パターン集合体を 18 個の模擬配線パターンから構成し、第 2 の実施の形態では模擬トランジスタパターン集合体を 18 個の模擬トランジスタパターンから構成しているが、パターン数は 18 個に限定されない。

【図面の簡単な説明】

【0071】

【図 1】図 1 は第 1 の実施の形態に係る半導体集積回路の配線形成プロセスの流れを示したフローチャートである。

【図 2】図 2 は第 1 の実施の形態に係る模擬配線パターン形成プロセスの流れを示したフローチャートである。

【図 3】図 3 (a) 及び図 3 (b) は本実施の形態に係る模擬配線パターン No 6 を形成しているときの状態を表した模式的なプロセス図である。

【図 4】図 4 (a) 及び図 4 (b) は本実施の形態に係る模擬配線パターン No 6 を形成しているときの状態を表した模式的なプロセス図である。

【図 5】図 5 (a) 及び図 5 (b) は本実施の形態に係る模擬配線パターン No 6 を形成しているときの状態を表した模式的なプロセス図である。

【図 6】図 6 (a) 及び図 6 (b) は本実施の形態に係る模擬配線パターン No 6 を形成しているときの状態を表した模式的なプロセス図である。

【図 7】図 7 (a) 及び図 7 (b) は本実施の形態に係る模擬配線パターン No 6 を形成しているときの状態を表した模式的なプロセス図である。

【図 8】図 8 (a) 及び図 8 (b) は本実施の形態に係る模擬配線パターン No 6 を形成しているときの状態を表した模式的なプロセス図である。

【図 9】図 9 は本実施の形態に係る模擬配線パターン No 1 ~ No 18 の模式的な平面図である。

【図 10】図 10 は実施例に係る歩留まりと時間の関係を表したグラフである。

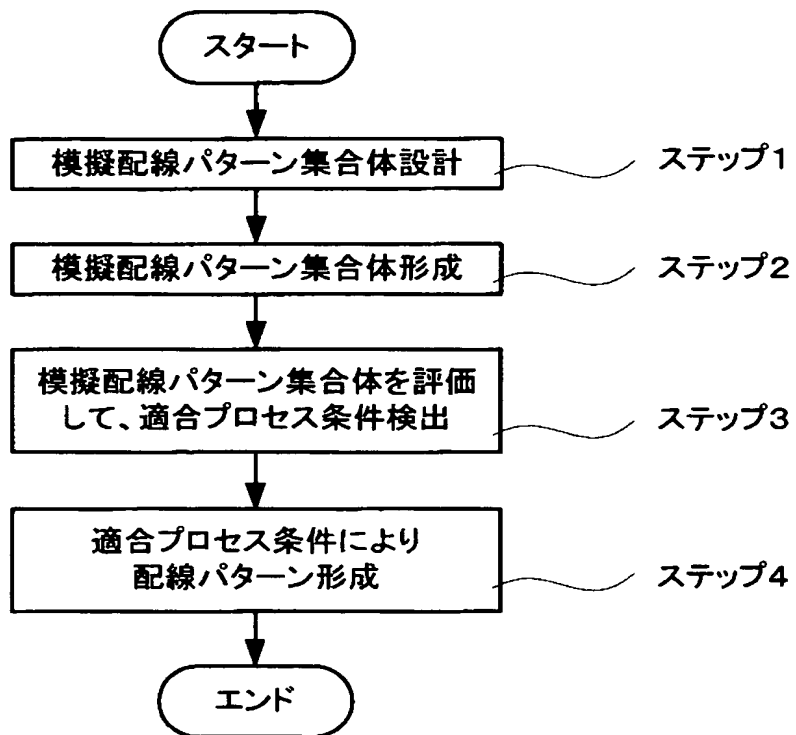
【符号の説明】

【0072】

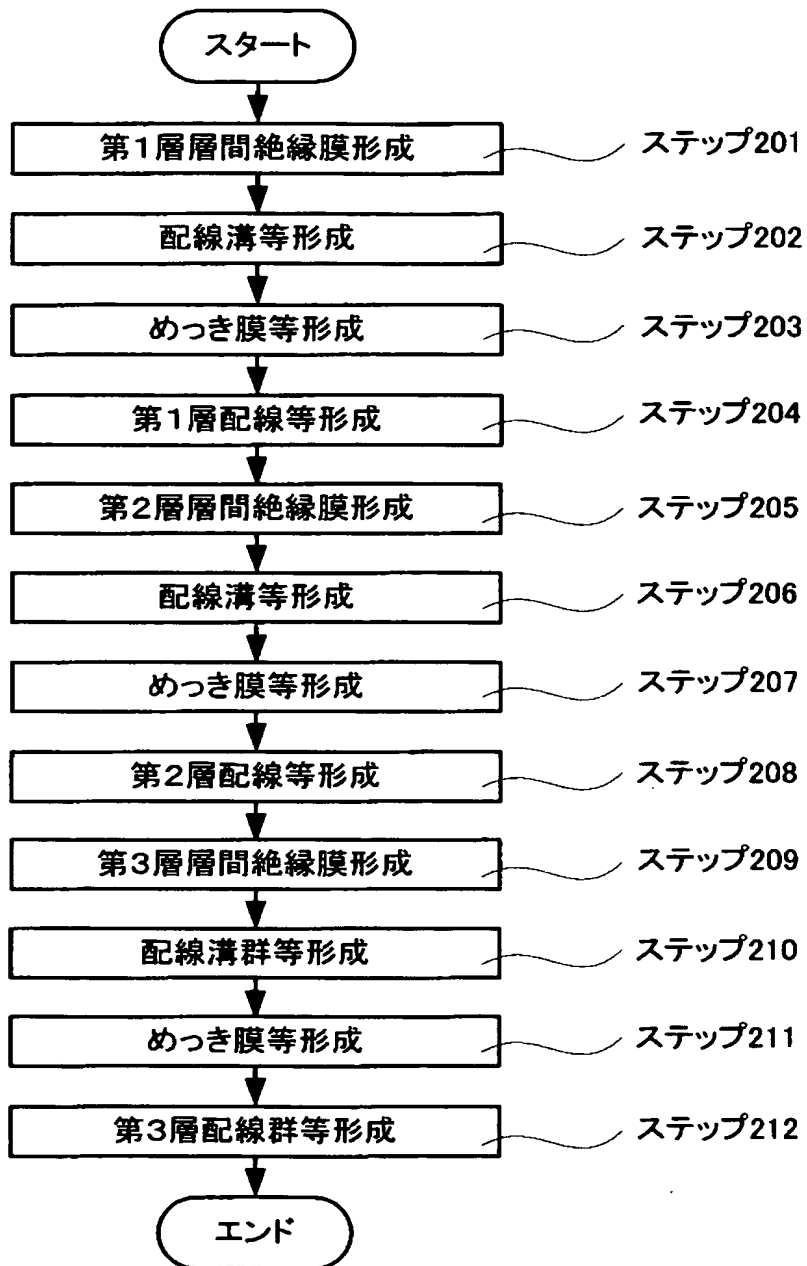
W…テストウェハ、2 a…第 1 層配線、2 b…第 1 層ダミー配線群、3 f…ビアホール、3 g…ダミービアホール、4 a…第 2 層配線、4 b…第 2 層ダミー配線群、6 a…第 3 層配線群。

【書類名】図面

【図 1】

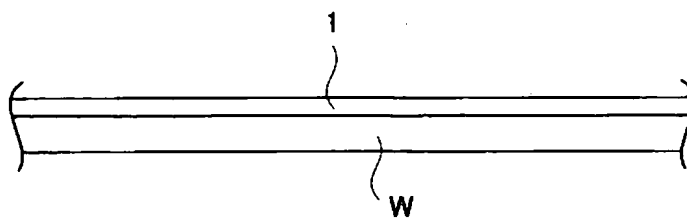


【図 2】

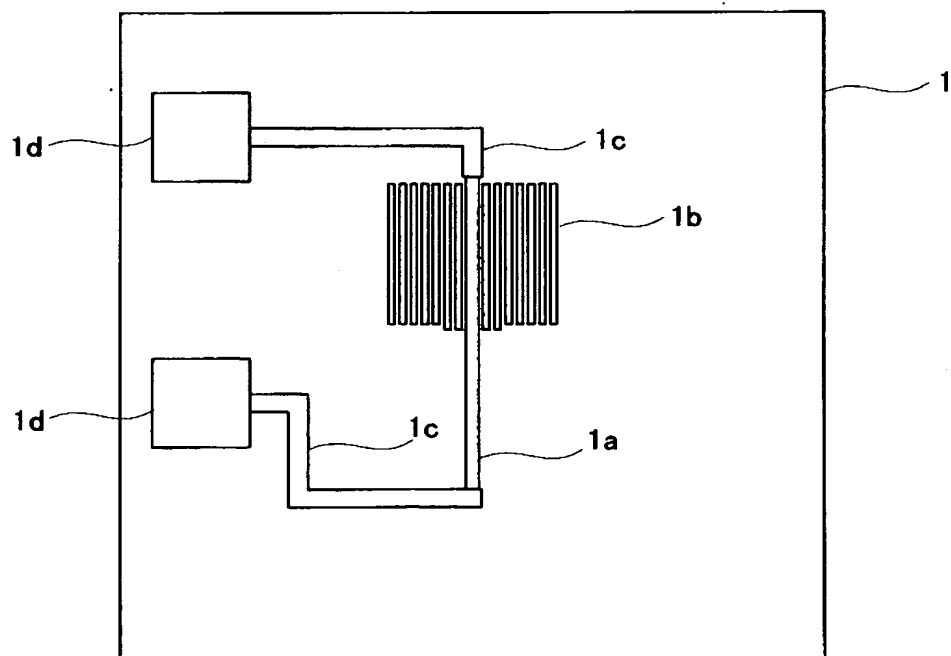


【図 3】

(a)

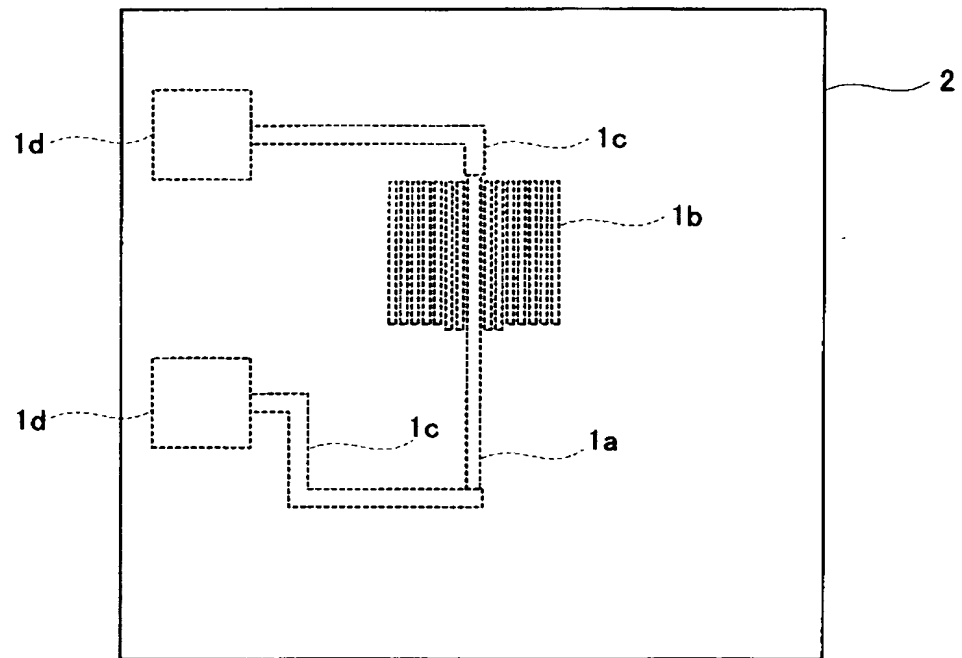


(b)

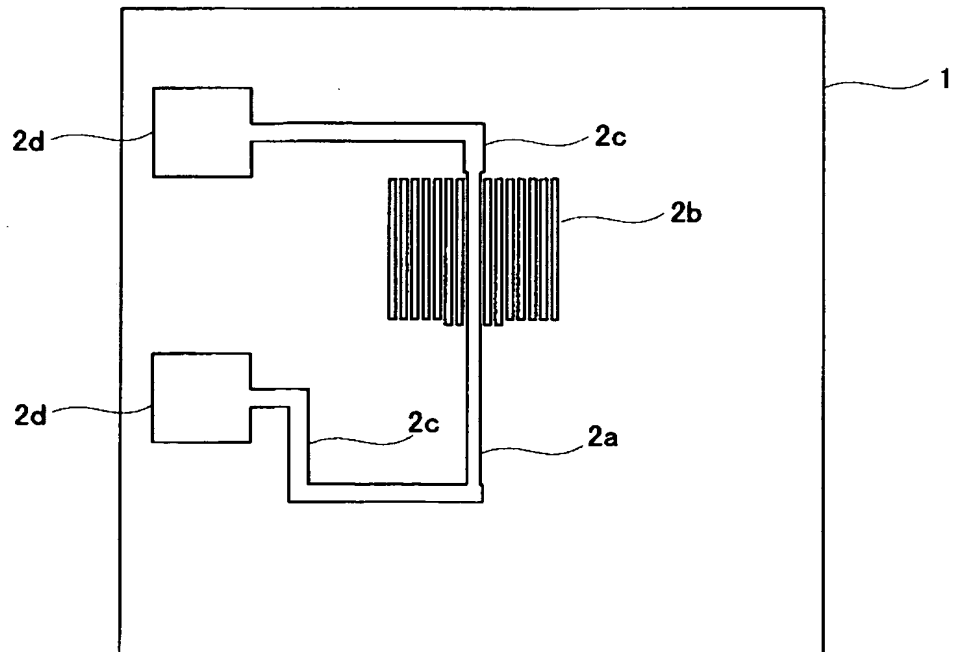


【図 4】

(a)

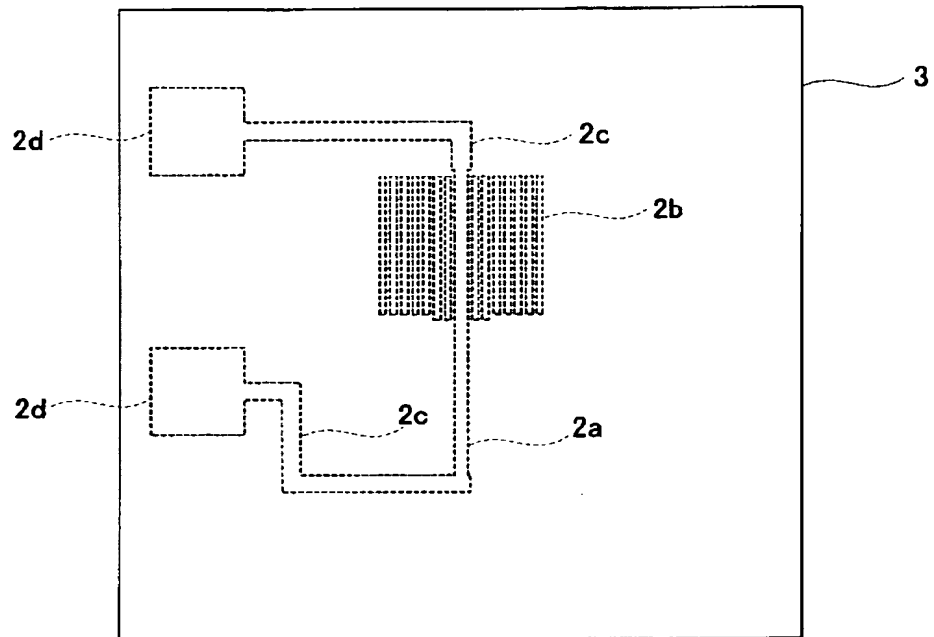


(b)

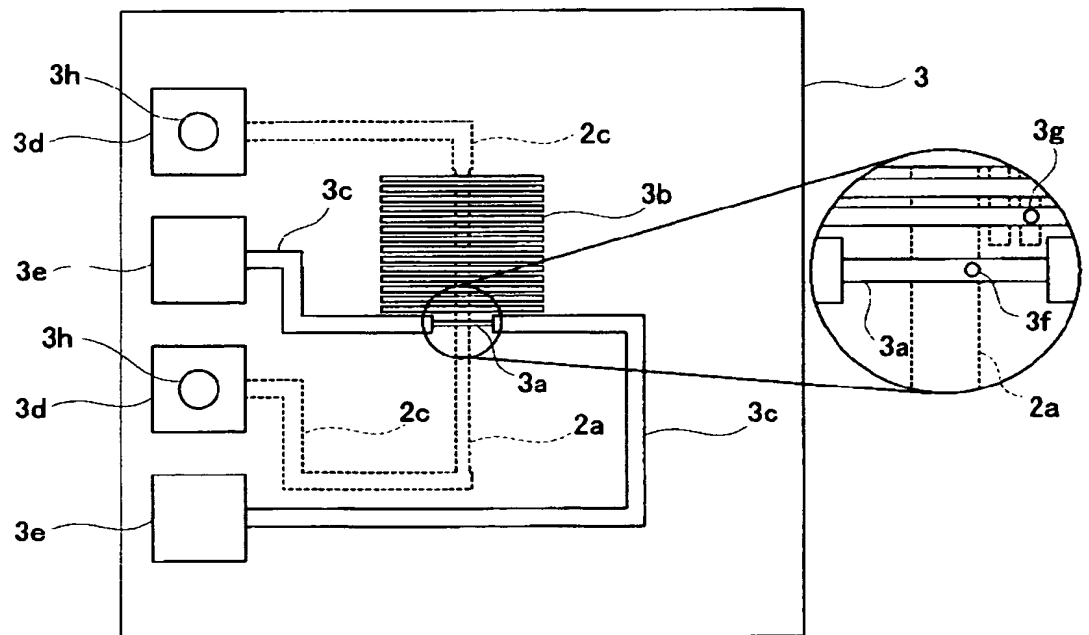


【図 5】

(a)

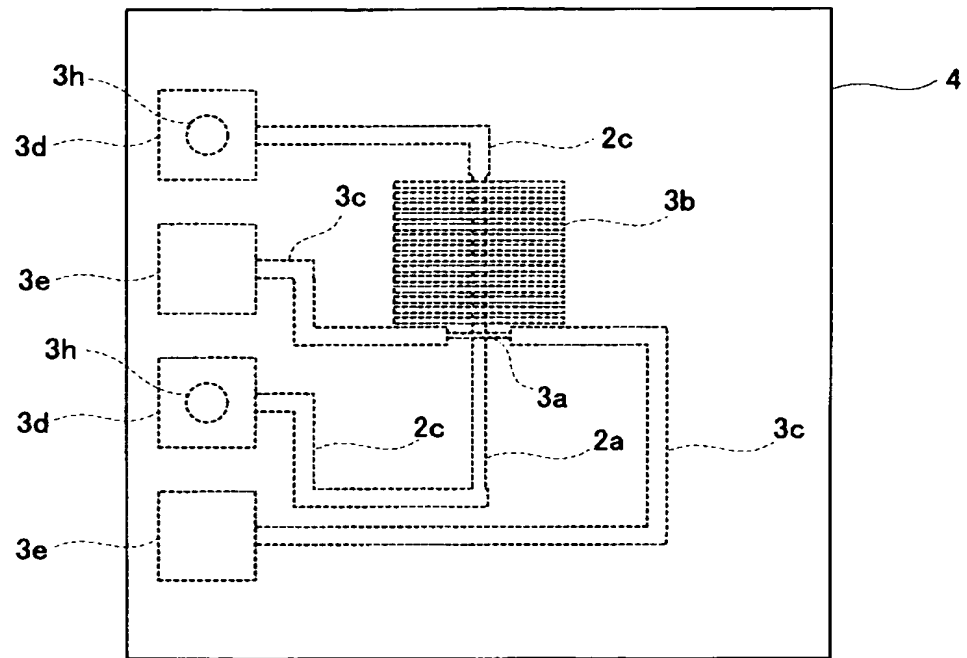


(b)

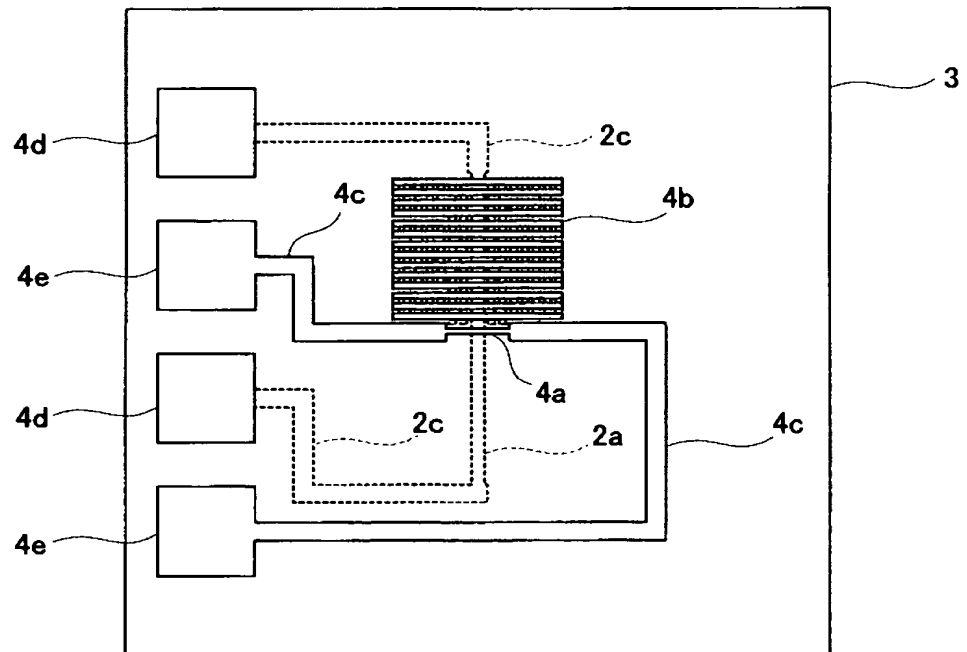


【図 6】

(a)

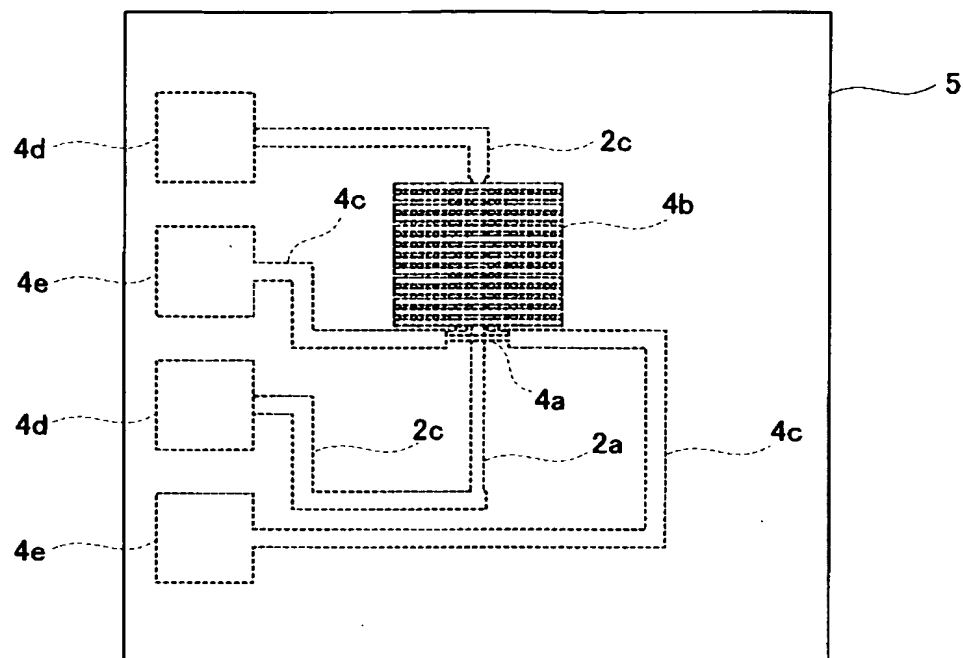


(b)

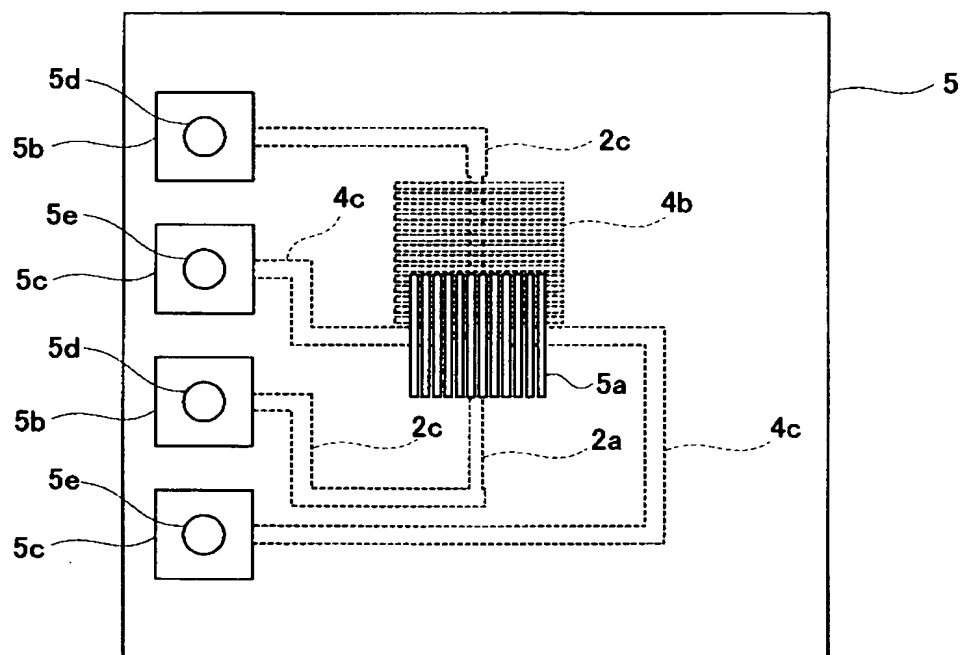


【図 7】

(a)

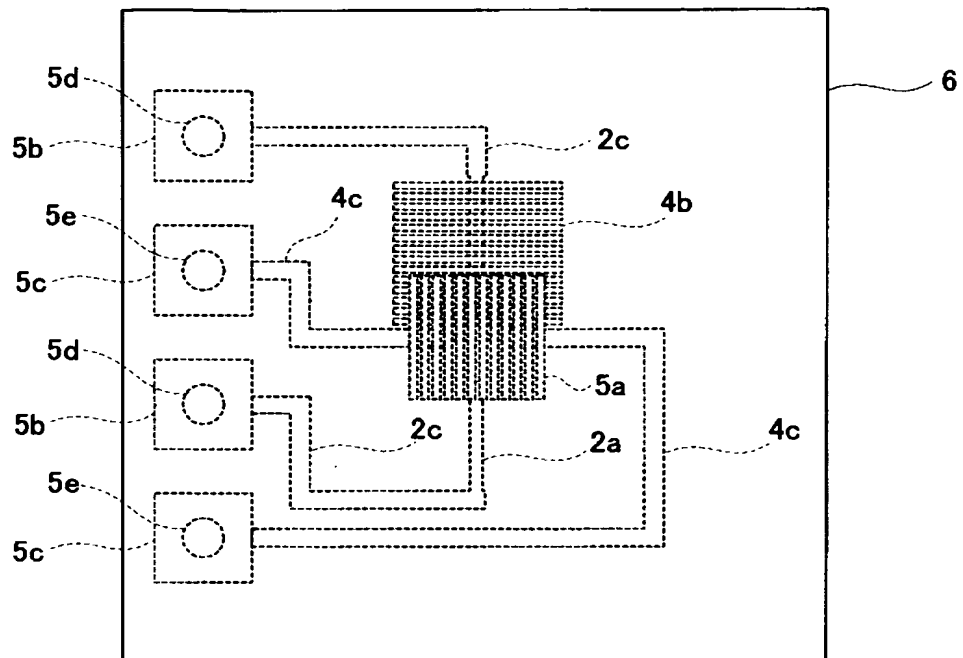


(b)

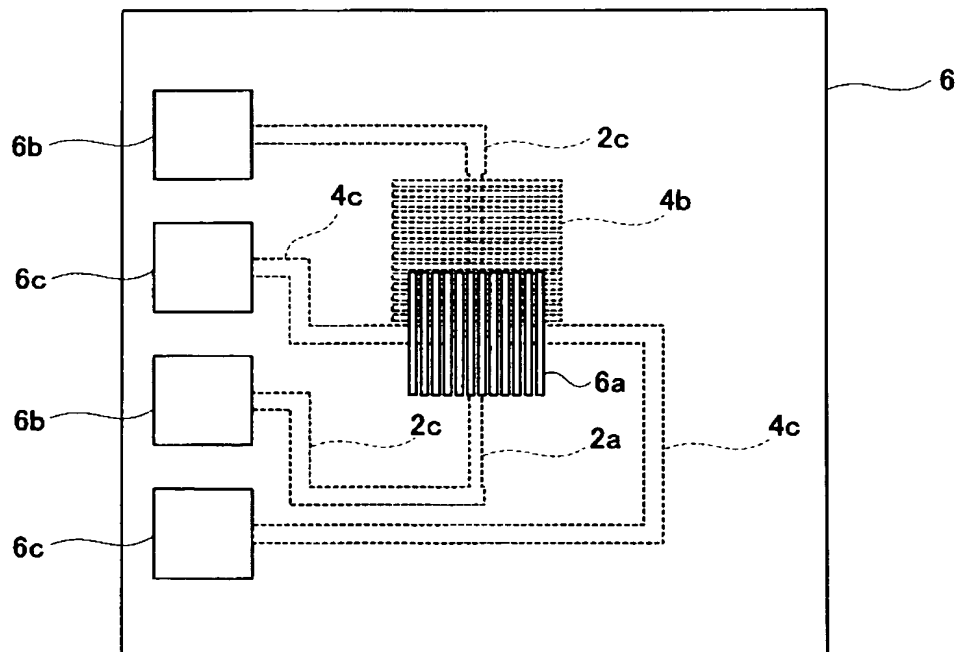


【図 8】

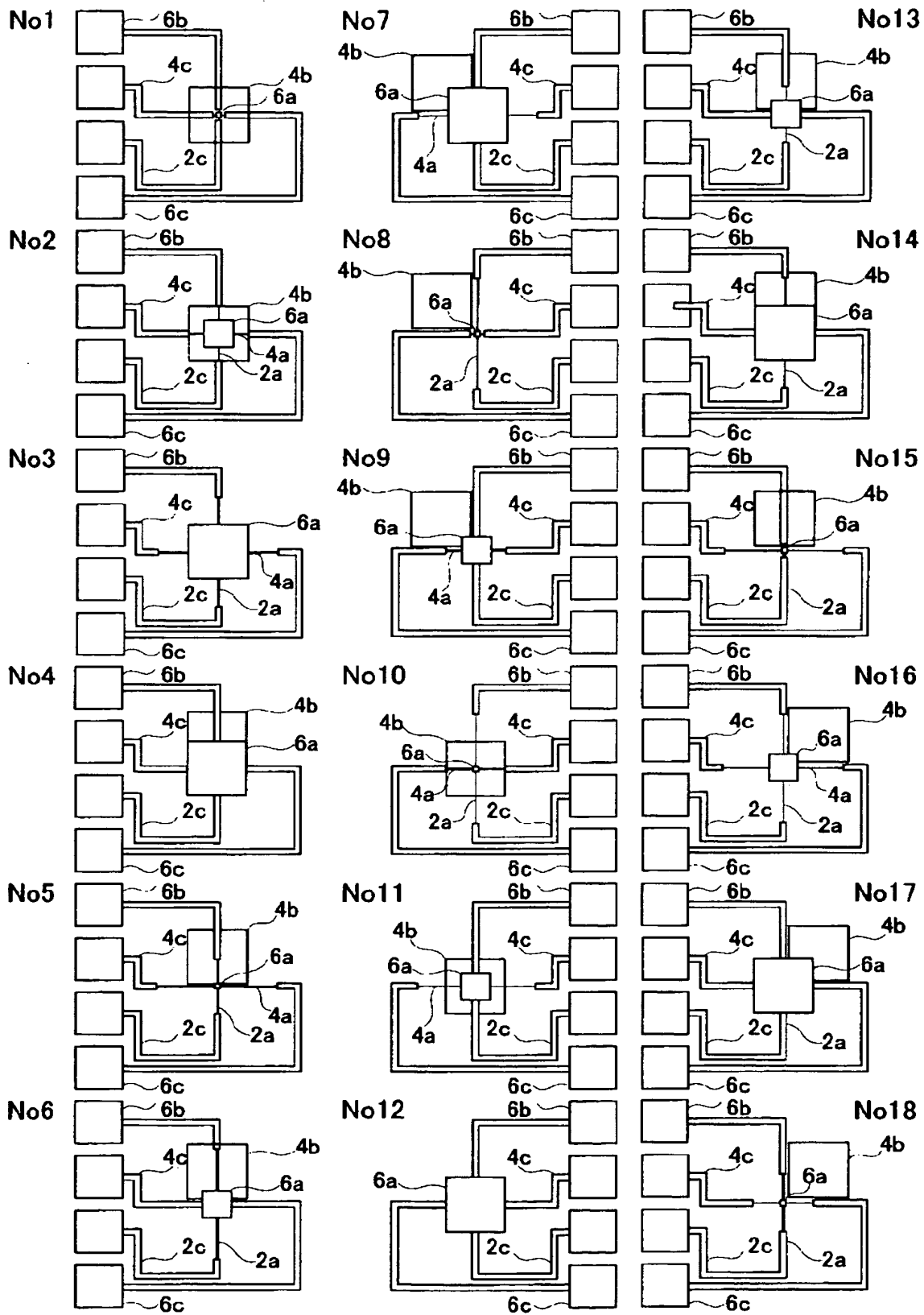
(a)



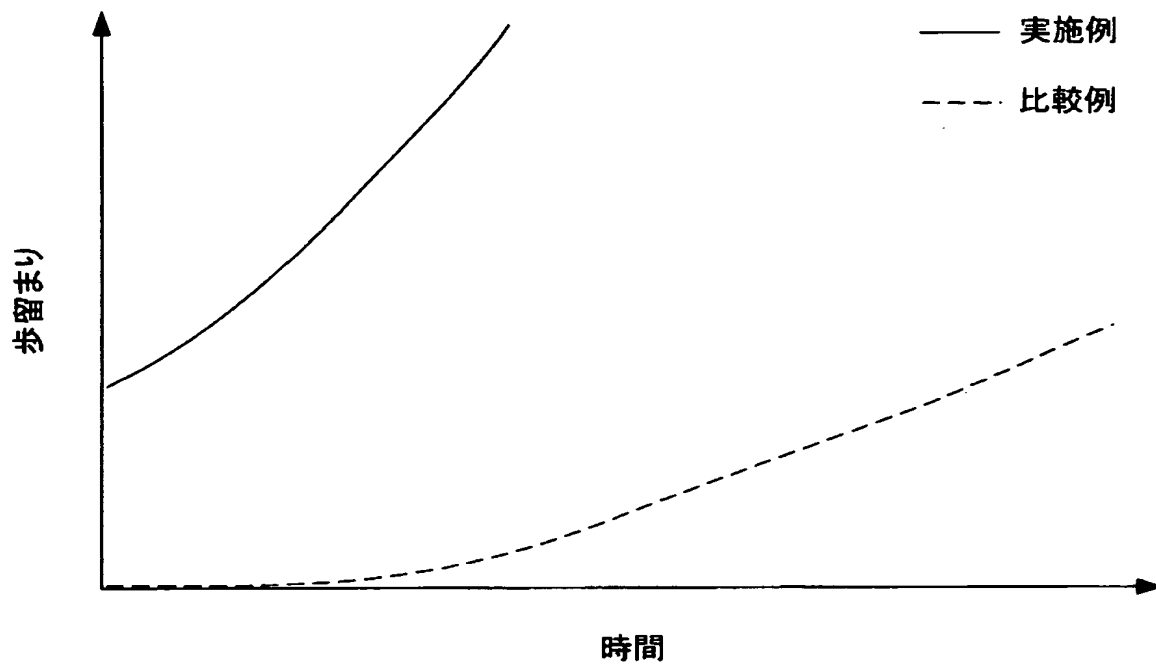
(b)



【図 9】



【図 10】



【書類名】 要約書**【要約】**

【課題】 少ない模擬回路パターンで多数の模擬回路パターンの評価を行うことができる模擬回路パターン評価方法、テスト基板、及びテスト基板群を提供することを目的とする。また、半導体集積回路の歩留まりを向上させることができる半導体集積回路の製造方法を提供する。

【解決手段】 まず、半導体集積回路の配線パターンを模擬した模擬配線パターンの集合体（以下、「模擬配線パターン集合体」という。）を設計する。模擬配線パターン集合体は、配線形成プロセスにおける幾何学構造を規定する複数のパラメータを組合せることにより設計される。具体的には、各パラメータは少なくとも 2 つの状態を有しており、各パラメータにおいて各状態が互いに同数出現するようにパラメータが組合せられる。次に、設計された模擬配線パターン集合体をテストウェハ W 上に形成する。次いで、形成された模擬配線パターン集合体进行评估する。

【選択図】 図 1



特願 2003-344526

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝